

PAT-NO: JP406029296A
DOCUMENT-IDENTIFIER: JP 06029296 A
TITLE: BUMP PAD-EQUIPPED SEMICONDUCTOR DEVICE
PUBN-DATE: February 4, 1994

INVENTOR-INFORMATION:
NAME
MATONO, MASAYOSHI
TOKUNAGA, MASAKI

ASSIGNEE-INFORMATION:
NAME COUNTRY
TOSHIBA CORP N/A

APPL-NO: JP04181396
APPL-DATE: July 9, 1992

INT-CL (IPC): H01L021/321
US-CL-CURRENT: 257/737, 257/786

ABSTRACT:

PURPOSE: To make it possible to apply an equal stress to rows of bump pads during a plating process and pressure bond then even in an ILB process by laying out dummy bump pads whose pitch is equivalent to that of the bum pad rows in a space produced at the end of each rows of bump pads.

CONSTITUTION: A semiconductor chip 2 whose peripheral sides consist of larger sides C and shorter sides D where a plurality of rows bump pads are linearly formed at the same pitch around the both sides, forming a space E at the end of each row. Dummy bump pads 12 are installed here so as to apply pressure required for contact bonding a lead 11 which is to be

installed to a
dump film during an ILB process. Just as in the case with a plating
process, a
photo resist layer is formed around each bump pad which constitutes
the bump
pad rows 1 for the dummy bump pads 12 and the bump pad rows which
exclude the
dummy bump pads 12, which makes it possible to eliminate troubles,
such as
cracks by the application of equal stress and contact bonding even
during the
ILB process.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-29296

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/321		9168-4M	H 0 1 L 21/ 92	C

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-181396

(22)出願日 平成4年(1992)7月9日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 的野 正義

大分県大分市大字松岡3500番地 株式会社

東芝大分工場内

(72)発明者 徳永 雅樹

大分県大分市大字松岡3500番地 株式会社

東芝大分工場内

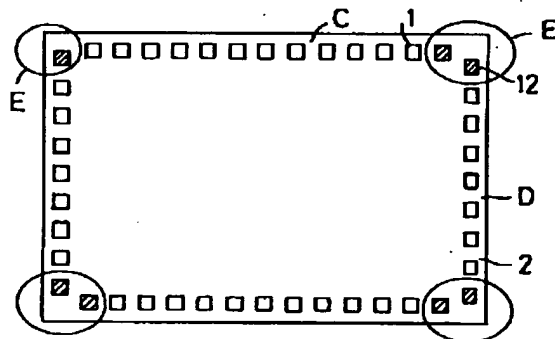
(74)代理人 弁理士 大胡 典夫

(54)【発明の名称】 バンプパッドを備える半導体装置

(57)【要約】

【目的】 外部の電子機器と電気的に接続するバンプパッドの形状を描いて、ILB 工程による欠点または、フォトレジスト層の剥離による難点を防止する点。

【構成】 半導体チップの周辺に形成するバンプパッド列の端部に生ずる空間部にダミーのバンプパッドを形成することにより、他のバンプパッド列に加わるILB 工程での圧着力を均一にする外に、バンプパッドの製造工程のめっき工程におけるフォトレジスト層に対する応力を等しくする。これによりクラックの発生などをなくす。



1

2

【特許請求の範囲】

【請求項1】 半導体チップの周辺に同一のピッチで配置する複数個のバンパッド列と、この各バンパッド列の終端に生ずる空間部と、この空間部に配置する前記バンパッド列と同一ピッチのダミーバンパッドとを具備することを特徴とするバンパッドを備える半導体装置

【請求項2】 前記半導体チップの周辺を構成する長さの大きい辺と短い辺と、この長さの大きい辺と短い辺付近に配置するバンパッド列と、この各バンパッド列の終端に生ずる空間部と、前記バンパッド列のない辺及びその空間部に配置する前記バンパッド列と同一ピッチのダミーバンパッドとを具備することを特徴とするバンパッドを備える半導体装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、いわゆるタブ方式による組立工程を行う半導体装置に係わり、特に、バンパッド配列の改良に関する。

【0002】

【従来の技術】半導体装置の高集積化に伴い、いわゆるリードフレームを利用する方式と共に、ポリイミドフィルムを利用するいわゆるタブ方式による組立方法も多用されている。従来のタブ用のバンパッドについては、ILB(Inner Lead Bondingいわゆるギャングボンディング利用)を実施する半導体チップの上面図である図1に示すように半導体チップの周辺に設け、このバンパッドの製造工程については、図2乃至図5を参照して説明する。即ち、バンパッド1を形成する半導体チップ2部分には、酸化膜3とパッシベーション(Passivation)層4が形成してあり、その内部に電極として機能するA1パッド5を設ける。この形成は、公知のフォトリソグラフィ(Ph-oto Lithography)技術を利用し、図2に明かなように、A1パッド5の表面部分を露出状態にする。続いて、バリアメタル層6として例えばチタン(A1パッド5に接触)ータングステンから成るバリアメタル層6を全面にスパッタリングにより被覆してから、公知のフォトリソグラフィ技術によりレジスト層7の穴明けパターン8を、バンパッドの形成予定位置に形成する(図3参照)。なお、パッシベーション層4は、2層構造だけでなく3層構造も利用されている。

【0003】続いてこの開口部8には、金メッキ層9を厚さ約20 μ m成長して(図4参照)タブ用バンパッド1を形成する。最後に金メッキ層9に連続するバリアメタル層6部分以外を例えばエッチングにより除去して図5の断面構造を完成する。

【0004】

【発明が解決しようとする課題】半導体素子の集積度の向上に伴って、バンパッドのピッチも100 μ mから80 μ mと狭くなる傾向にあり、このような半導体チ

ップにめっき工程を行う時には、バリアメタル層6とレジスト層7の密着性が悪くなる。金メッキ層9から成る複数個のバンパッド1が、バリアメタル層6に重なってほぼ同一の形状とするが、その最端部が特殊な形となる。図6に示すように、両隣にバンパッド1がないものの側壁の一方Aがパッシベーション層4との成す角度が他のものとの角度より小さくなる。

【0005】このようなバンパッド1をILBすると図7のようにバリアメタル層6からパッシベーション層4を越えてA1パッド5に達するクラックBが発生し、A1パッド5と半導体チップ1間に電氣的なリーク電流を生じて信頼性が著しく損なわれる。何故ならば、ボンディングによる圧力が側壁によって違うためである。

【0006】本発明は、このような事情により成されたもので、特に、外部の電子機器と接続するバンパッドの形状を描えた半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】半導体チップの周辺に同一ピッチで配置するバンパッド列と、この各バンパッド列の終端に生ずる空間部と、この空間部に配置する前記バンパッド列と同一ピッチのダミーバンパッドとに本発明に係わるバンパッドを備える半導体装置の特徴がある。また、前記半導体チップの周辺を構成する長さの大きい辺と短い辺と、この長さの大きい辺と短い辺付近に配置するバンパッド列と、このバンパッド列の終端に生ずる空間部と、前記バンパッド列のない辺及びその空間部に配置する前記バンパッド列と同一ピッチのダミーバンパッドとにも特徴がある。

【0008】

【作用】半導体チップの周辺に同一ピッチで配置するバンパッド列をめっき法により形成する際、その終端の単一のバンパッドの形状が他のそれと違った状態になるとの知見を基に、本発明は完成した。

【0009】即ち、終端以外のバンパッドは、その両隣に他のバンパッドが存在しているので、めっき層の成長は同じ条件で行われるのに対して、終端のバンパッドでは、図6に明らかにするように何も無い方向に面した金めっき層の側面が大きく張出す現象が起る。これは、めっき工程に不可欠なフォトレジスト層にめっき時の応力が均等に生じないために起きる現象である。更にめっき時の応力によりフォトレジスト層がめくり上ってバンパッド間に短絡が生じる。

【0010】これは、個々のバンパッドのピッチが縮小するにつれて、より一層現れるが、本発明に係わるバンパッドを備える半導体装置では、バンパッド列と同一ピッチのダミーバンパッドを配置することにより、バンパッド列の形成時即ちめっき工程時に均等の応力が加わり、ひいてはILB工程でも均等な圧着がなされ、揃った形状のバンパッド列が得られる。

【0011】

【実施例】本発明に係わる実施例を図8乃至図11を参照して説明する。半導体チップ2に形成するバンパッド列1と、タブフィルム10に形成したリード11をギャングボンディングにより圧着固定後の上面図が図8である。

【0012】この図に明らかなように、半導体チップ2は、周辺を長さの大きい辺Cと短い辺Dで構成し、両辺付近に直線状に複数のバンパッド列1を同一ピッチで形成し、その終端には空間部Eができる。

【0013】バンパッド列1の形成について、本発明の効果を説明するために示した図11により説明する。これに明らかなように半導体チップ2には、図示しない能動素子用または受動素子用の不純物領域（図示せず）を設け、これに電気的に接続したA1パッド5を形成する。不純物領域及びA1パッド5の形成は公知の手段で行われる。即ち、絶縁物層例えば酸化膜3には、パッシベーション層4が重ねられ、ここにA1パッド5を常法のフォトリソグラフィ技術により、表面を露出させて、図11の形状を得る。

【0014】このパッシベーション層4及びA1パッド5には、バリアメタル層6を例えばスパッタリング法により被覆する。次にフォトレジスト層を新たに被覆してパターンニング工程によりバンパットの形成予定位置にレジスト層の穴開きパターンを形成し、めっき工程前のベーキング処理を行ってから所定の金めっき工程に移る。この工程により厚さ20μm程度の金めっき層9を被着してバンパッド列1を形成する。最後に金めっき層9に連続するバリヤメタル層6部分以外をエッチングにより除去して完成する。このような工程により半導体チップの周辺を構成する長さの大きい辺Cと短い辺Dには、同一のピッチで複数のバンパッド列1を形成する（図9参照）。

【0015】複数のバンパッド列1の終端部に空間部Eが生じるが、本発明に係わるバンパッド列を備える半導体装置では、ここにダミーのバンパッド12を設置して、タブ用フィルム10に設置するリード11とのILB時の圧力を、複数のバンパッド1に均等に加える。ダミーのバンパッド12の側壁Aとパッシベーション層4表面の成す角度は、従来と全く同じとなる。

【0016】図10は、半導体チップ2の周辺の内、例えば一辺に他の縁と同一ピッチのバンパッド列1を設けない場合を明らかにしており、この場合は、この一辺にダミーのバンパッド12をバンパッド列1と同一のピッチで形成する。

【0017】ダミーのバンパッド12のバンパッド列1とダミーのバンパッド12以外のバンパッド列1を構成する個々のバンパッドの周辺には、めっき工程時に同じようにフォトレジスト層が形成されているので、均等の応力が加わり、ひいてはILB工程でも均等な

圧着がなされて、クラックなどの事故がなくなる。

【0018】図10は、半導体チップ2の周辺を構成する長さの大きい辺Cと短い辺Dのいずれかにバンパッド列1が形成されない場合には、ここにダミーのバンパッド12をバンパッド列1と同一のピッチとした例である。

【0019】

【発明の効果】図11に明らかなように、本発明に係わるバンパッドを備える半導体装置では、めっき工程時に形成する穴開きパターンに対して、均等な応力が加わることにより、左右の側壁が揃ったテーパ（Taper）に形成される。ただしダミーのバンパッド側壁の一方は、従来と同様に外側に張出したバンパッドがめっき工程により形成される。

【0020】しかし、本発明に係わるバンパッド列は、前記のように揃った形状になるので、ILB工程でも均等な圧着ができるので、クラックなどの発生を抑制できる。めっき工程に伴うレジストに対する応力を軽減するために、レジストへのめっき工程前のベーキング温度を上げても、同一ピッチのバンパッド列にすれば、バンパッド側壁がほぼ垂直に形成可能になる。これにより、ピッチが狭いバンパッドの形成が容易になる利点は、半導体素子の集積度の向上に役立つことになる。

【図面の簡単な説明】

【図1】従来のタブ用バンパッドの配置状況を明らかにする上面図である。

【図2】従来のタブ用バンパッドの一製造工程を示す図である。

【図3】図2に続く製造工程を示す図である。

【図4】図3に続く製造工程を示す図である。

【図5】図4に続く製造工程を示す図である。

【図6】従来のタブ用バンパッドの概要を示す断面図である。

【図7】図6の一部を拡大してクラック状態を明らかにする断面図である。

【図8】タブフィルムとバンパッド列をILB工程により接続後の上面図である。

【図9】本発明に係わるバンパッドの配置状況を明らかにする上面図である。

【図10】本発明に係わるバンパッドの他の配置状況を明らかにする上面図である。

【図11】本発明に係わるバンパッド列の一部を示す断面図である。

【符号の説明】

1：バンパッド列（金めっき層）、

2：半導体チップ、

3：酸化膜、

4：パッシベーション層、

5：A1パッド、

6：バリアメタル層、

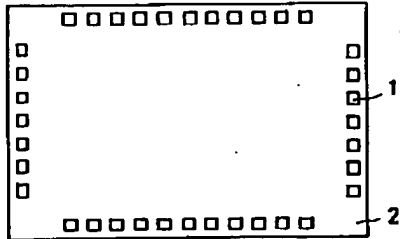
5

6

7:レジスト層、
8:穴明けパターン、
9:金めっき層、

10:タブ用フィルム、
11:リード、
12:ダミーのバンパパッド。

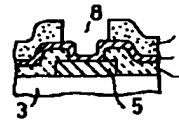
【図1】



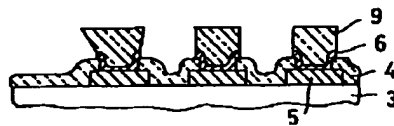
【図2】



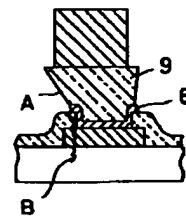
【図3】



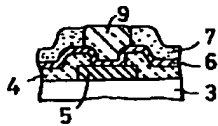
【図6】



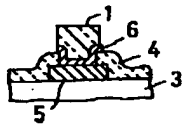
【図7】



【図4】

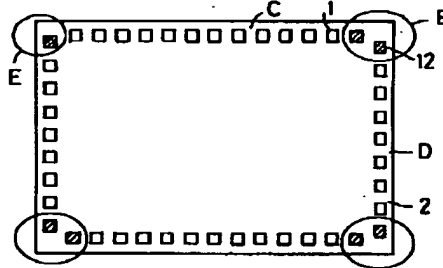
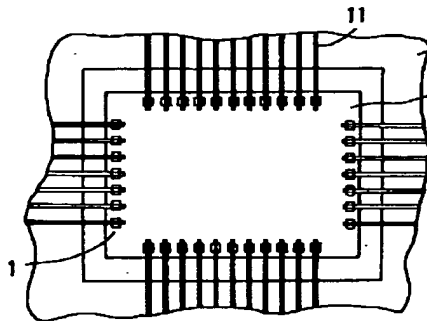


【図5】

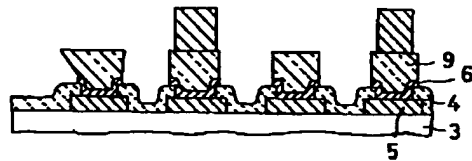


【図9】

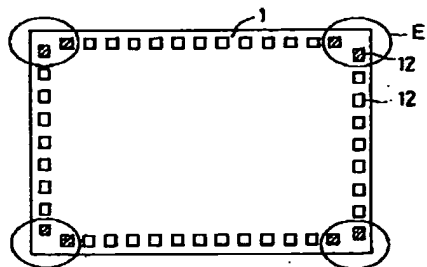
【図8】



【図11】



【図10】



1: バッパパッド
2: 半導体チップ
3: 酸化膜
4: バッパパッド層
5: Al パッド
6: バッパパッド
7: レジスト層
8: 穴明けパターン
9: 金めっき層
12: ダミーのバンパパッド